

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 8 月 18 日 (18.08.2005)

PCT

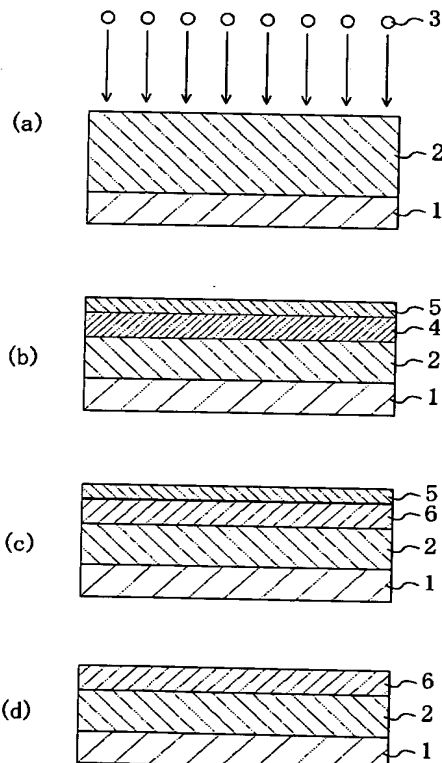
(10) 国際公開番号
WO 2005/076327 A1

- (51) 国際特許分類: H01L 21/265, (72) 発明者; および
21/28, 21/338, 29/78, 29/812 (75) 発明者/出願人 (米国についてのみ): 高橋 邦方
(TAKAHASHI, Kunimasa). 北畠 真 (KITABATAKE, Makoto). 山下 賢哉 (YAMASHITA, Kenya). 内田 正雄
(UCHIDA, Masao). 楠本 修 (KUSUMOTO, Osamu). 宮永 良子 (MIYANAGA, Ryoko).
- (21) 国際出願番号: PCT/JP2005/001240
- (22) 国際出願日: 2005 年 1 月 28 日 (28.01.2005)
- (25) 国際出願の言語: 日本語 (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒
5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号
大阪丸紅ビル Osaka (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-030972 2004 年 2 月 6 日 (06.02.2004) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
- (71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大
字門真 1 0 0 6 番地 Osaka (JP).

[続葉有]

(54) Title: SILICON CARBIDE SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 炭化珪素半導体素子及びその製造方法



(57) Abstract: A process for producing a semiconductor device, comprising the steps of injecting ions into silicon carbide thin-film (2) provided on silicon carbide substrate (1); heating the resultant silicon carbide substrate in vacuum atmosphere to thereby form carbon layer (5) on a surface of the resultant silicon carbide substrate; and subjecting the resultant silicon carbide substrate to activation annealing in an atmosphere of temperature higher and under a pressure higher than in the step of carbon layer (5) formation.

(57) 要約: 半導体素子の製造方法は、炭化珪素基板 1 上に形成された炭化珪素薄膜 2 内にイオンを注入する工程と、炭化珪素基板を減圧雰囲気中で加熱することで炭化珪素基板の表面にカーボン層 5 を形成する工程と、カーボン層 5 を形成する工程より高い圧力で、且つ高い温度の雰囲気中で炭化珪素基板を活性化アニールする工程とを含んでいる。



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書
— 補正書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

炭化珪素半導体素子及びその製造方法

技術分野

[0001] 本発明は、炭化珪素基板を用いた半導体素子及びその製造方法に関するものである。

背景技術

[0002] 炭化珪素(シリコンカーバイド、SiC)は、珪素(Si)に比べてバンドギャップが大きく、絶縁破壊に至る電界強度が高いことなどから、次世代の低損失パワーデバイス等への応用が期待される半導体材料である。炭化珪素は、立方晶系の3C-SiCや六方晶系の6H-SiC、4H-SiC等、多くのポリタイプを有する。この中で、実用的な炭化珪素半導体素子を作製するために一般に使用されているのが6H-SiC及び4H-SiCである。そして、その中でも、c軸の結晶軸に対し垂直な(0001)面にほぼ一致する面を主面とする炭化珪素基板(SiC基板)が炭化珪素半導体素子(SiC半導体素子)によく用いられている。

[0003] 炭化珪素半導体素子を形成するためには、炭化珪素基板上に半導体素子の活性領域となるエピタキシャル成長層を形成し、このエピタキシャル成長層の選択された領域で導電型やキャリア濃度を制御することが必要となる。選択された局所的な領域に不純物ドーパ層を形成するためには、不純物ドーパントをエピタキシャル成長層中にイオン注入する手法が用いられる。

[0004] ここで、イオン注入を用いて炭化珪素からなるMOSFETを形成する一般的な方法について説明する。

[0005] 図9(a)～(d)は、炭化珪素からなるMOSFETを形成するための一般的な方法を示す断面図である。

[0006] まず、図9(a)に示す工程で、炭化珪素基板140上に炭化珪素薄膜をエピタキシャル成長させてn型ドリフト層141を形成する。本工程では、炭化珪素基板140の(0001)面にわずかな角度(数度)を故意にもたせて基板表面のステップ密度を増大させ、ステップの横方向成長によるステップフローによって炭化珪素薄膜を成長させる。現

在では、(0001)面を基準面として、4H-SiCでは8° のオフ角を、6H-SiCでは3.5° のオフ角を[11 -20]方向につけることが一般的となっている。

[0007] 続いて、図9(b)に示す工程で、n型ドリフト層141の上面にイオン注入用の注入マスク142を形成する。この注入マスク142は、n型ドリフト層141の一部分を覆い、後工程でp型ウェル領域143となる領域を開口している。

[0008] 次に、図9(c)に示す工程で、注入マスク142の上方からn型ドリフト層141内にAlイオン144を注入する。

[0009] その後、図9(d)に示す工程で、注入マスク142を除去した後、イオン注入により生じた損傷を修復させ、且つ注入した不純物イオンを活性化するために、炭化珪素基板140を希ガス(例えばアルゴンガス)雰囲気中で1700°C以上の温度まで加熱して活性化アニール処理を行う。この活性化アニール処理によって、n型ドリフト層141の一部にp型ウェル領域143が形成される。

[0010] この後、追加のイオン注入、及び電極の形成などを行なうことにより、縦型MOSFETを作製することができる。

[0011] しかし、図9(d)に示す工程では、炭化珪素基板を高温で処理するために、イオンが注入された領域の上面にマクロステップ145が形成されてしまう。更に、イオン注入領域のマクロステップ145より寸法は小さいものの、イオンを注入していない領域の上面にもマクロステップ146が形成される。ここで、マクロステップとは、炭化珪素薄膜の表面に形成される原子層レベルのステップが数層ずつ合体して束になったものである。このように、図9に示すような従来技術では、活性化アニール後の炭化珪素薄膜の上面にマクロステップによる凸凹が形成されることが、半導体素子の性能向上の大きな妨げとなっていた。なお、イオン注入領域に形成されたマクロステップ145の寸法がイオン注入されない領域に形成されたマクロステップ146に比べて大きいのは、イオン注入によって損傷が生じたために珪素原子及び炭素原子が炭化珪素薄膜の表面から脱離し易くなっているからであると考えられている。マクロステップ145の寸法は、活性化アニールの温度が高ければ高いほど大きくなり、ステップ高さ(図9(d)参照)が数10nm、テラスの幅が数100nmに到達することがある。

[0012] マクロステップの形成は、MOSFETを含む多くの半導体素子で性能を低下させる

原因となっている。例えば、ショットキーダイオードの場合には、炭化珪素薄膜の上面に形成されたショットキー電極においてマクロステップの先端部分で電界集中が発生し、耐圧が低下するという不具合が生じる。また、炭化珪素薄膜の表層を電流が流れるようなMESFETの場合には、マクロステップでキャリアの乱れが生じ、移動度が低下して相互コンダクタンスが低下するという不具合が生じる。更に、炭化珪素薄膜の上面上に熱酸化によってゲート酸化膜を形成するMOSFETでは、マクロステップのステップ側壁の部分とテラスの部分とで互いに厚みの異なる酸化膜が形成されるために、ゲート電圧を印加してできる反転層の厚みが不均一になり、チャネル移動度が低下するという不具合が生じる。このように、従来の方法では、炭化珪素を用いて半導体素子を作製しても、炭化珪素本来の優れた物性値から期待されるような電気的特性を得ることが困難であった。

- [0013] そこで、活性化アニールによって炭化珪素薄膜の上面にステップが形成されないようにするために、活性化アニール前にダイヤモンドライクカーボン(DLC)膜やフォトリソグリスを保護膜として炭化珪素薄膜の上面上に形成することが提案されている(例えば、特許文献1参照)。

特許文献1:特開2001-68428号公報

発明の開示

発明が解決しようとする課題

- [0014] しかしながら、特許文献1に開示されたような、従来の炭化珪素半導体素子及びその製造方法には、以下のような不具合があった。
- [0015] まず、ダイヤモンドライクカーボン膜やフォトリソグリスを保護膜として炭化珪素薄膜の上面上に形成するため、半導体素子の製造工程数が増えてしまうという不具合がある。半導体素子の構造によっては、複数回の活性化アニールを行なう必要があるが、従来の方法では活性化アニールのたびに保護膜を形成する必要があった。さらに、このような保護膜を形成するためには新たな装置が必要となり、製造コストもかかる。また、活性化アニール後に保護膜を除去する工程と、保護膜を除去する装置も必要となるという問題もある。
- [0016] さらに、これらの問題に加えて、1600℃以上の高温で活性化アニールを行う際に

保護膜中の不純物質が炭化珪素薄膜中に拡散によって侵入したり、保護膜から昇華した不純物質によってアニール炉内が汚染される可能性もある。このような不純物質に汚染された場合、炭化珪素半導体素子の特性が著しく低下してしまう。

[0017] したがって、たとえこのような対策によってステップバンチングの形成を抑制させることが可能であっても、優れた特性を有する炭化珪素半導体素子を形成することは非常に困難であった。このため、活性化アニールによって表面に凸凹が形成されず、且つ、不純物質による特性の劣化の無い炭化珪素半導体素子及びその製造方法が望まれている。

[0018] そこで本発明は、上記従来の問題点に鑑み、注入された不純物の活性化率を高くしながらも炭化珪素薄膜の上面を平坦に保つことが可能な炭化珪素半導体素子の製造方法とその方法により製造された炭化珪素半導体素子とを提供することを目的とする。

課題を解決するための手段

[0019] 上記課題を解決するため、本発明の炭化珪素半導体素子の製造方法は、炭化珪素層（炭化珪素基板および炭化珪素基板の上にエピタキシャル成長された炭化珪素膜を含む）に不純物イオンを注入する工程(a)と、上記炭化珪素層を加熱することで上記炭化珪素層の表面にカーボン層を形成する工程(b)と、上記工程(b)の後、上記工程(b)よりも高温雰囲気中で上記炭化珪素層を活性化アニール処理する工程(c)とを含んでいる。

[0020] この方法により、カーボン層を形成した状態で工程(c)の活性化アニール処理を行なえるので、高温で活性化アニールを行ってもイオン注入領域の表面に形成されるマクロステップを小さくすることができる。そのため、炭化珪素基板または炭化珪素膜に注入された不純物の活性化率を低下させることなく従来よりも炭化珪素基板または炭化珪素膜の上面が平坦化された半導体素子を作製することが可能となる。特に、本発明の方法によれば、保護膜となるカーボン層は炭化珪素基板または炭化珪素膜から生成するものであるため、レジスト膜の成分などの不純物質によって半導体素子が汚染されるのを防ぐことができる。

[0021] 上記工程(b)では、大気圧を下回る圧力条件下で上記カーボン層を形成し、上記

工程(c)では、上記工程(b)よりも高い圧力条件下で活性化アニール処理を行なうことにより、工程(b)で炭化珪素基板または炭化珪素膜の表面からの珪素の昇華が促進されるので、工程(c)と同じ圧力条件下で工程(b)を行なう場合に比べて速やかにカーボン層を形成することができる。

[0022] 上記工程(b)と上記工程(c)とを、同一の加熱炉内で行なうことが好ましい。これにより、使用する装置の種類を減らし、工程を簡略化することが可能となる。

[0023] 上記工程(b)では、水素を含むガスの存在下で上記カーボン層を形成することにより、カーボン層の形成を促進することができるので好ましい。

[0024] 上記工程(b)では、 1×10^{-5} Pa以上10 Pa以下の圧力条件下で上記カーボン層を形成することが好ましい。圧力が10 Paより高い場合には加熱処理により炭化珪素基板または炭化珪素膜の上面にステップが形成されてしまい、圧力が 10^{-5} Paより低い場合には加熱処理によって炭素までも昇華されてしまうおそれがあるからである。

[0025] 上記工程(b)では、上記炭化珪素層の温度が1100℃以上1400℃以下であることが好ましい。基板温度が1100℃より低い場合には基板表面からの珪素の昇華が起こらず、1400℃より高い場合には炭素までも昇華されてしまうおそれがあるからである。

[0026] 上記工程(c)では、1 kPa以上100 kPa以下の圧力条件下、上記炭化珪素層の温度を1500℃以上2000℃以下として活性化アニール処理を行なうことが好ましい。この圧力及び温度範囲において活性化アニールを行なうことによって不純物の活性化率を十分に高められるからである。

[0027] 上記工程(c)の後、酸素原子を含む気体の存在下で上記炭化珪素層を加熱し、上記カーボン層を除去する工程(d)をさらに含んでいることにより、カーボン膜を酸素分子と反応させて除去することができる。

[0028] 上記工程(d)では、上記炭化珪素層の温度が500℃以上1000℃以下であれば、カーボン層をより確実に除去することができる。特に基板温度を800℃とすることが好ましい。これにより、炭化珪素の酸化反応を生じさせず、且つ、より効率的にカーボン層を除去することができる。

[0029] 上記工程(d)でのカーボン層の除去は、上記工程(c)での活性化アニール処理と

同一の加熱炉内で行なうことにより、使用する装置の種類を減らし、工程を簡略化することが可能となる。

[0030] 本発明の炭化珪素半導体素子は、炭化珪素層と、上記炭化珪素層の一部に形成された不純物ドーブ層と、上記炭化珪素層上に設けられた電極とを有し、上記炭化珪素層のうち上記不純物ドーブ層と上記不純物ドーブ層を除く領域とでは、上面のステップ高さが実質的に同一である。なお、本明細書および請求の範囲において、「ステップ高さ」とは、炭化珪素層の表面において、 $10\mu\text{m}$ 四方の領域における全てのステップの高さの和をステップの数で除した値のことをいう。また、「ステップの高さ」とは、図9(d)に示すように、隣り合う2つのステップにおける結晶面の高さの差(結晶面に垂直な方向における高さの差)をいう。また、本発明の不純物ドーブ層は、炭化珪素層の上面の一部に露出している。

[0031] このように炭化珪素層のうち不純物ドーブ層とそれ以外の領域とにおいてステップ高さを実質的に同一とすることは、本発明の炭化珪素半導体素子の製造方法によって可能となる。つまり、炭化珪素層の表面上にカーボン層を炭化珪素層から生成することによりカーボン層と炭化珪素層との界面ではボンドが強く結合しており、不純物を活性化するためのアニールを行っても、炭化珪素層の上面でのマクロステップの形成が抑制される。従来では、不純物ドーブ層に他の領域よりも大きなマクロステップが形成されていたが、本発明では、不純物ドーブ層とその他の領域が炭化珪素層とボンドが強く結合したカーボン層によって保護されるため、両方の領域におけるステップ高さが実質的に同一となる。

[0032] 本発明の炭化珪素半導体素子では、例えば不純物ドーブ層の上面近傍に電流が流れる場合に、キャリアの移動度を向上させることができる。あるいは、不純物ドーブ層の上にショットキー電極を設ける場合に、電界集中を低減し、耐圧を向上させることができる。

[0033] 上記炭化珪素層の上記上面におけるステップ高さは 0.1nm 以上 1nm 以下であることが好ましい。この場合には、特に、高耐圧で高い電流密度の電流を流すことが可能な炭化珪素半導体素子の実現できる。

[0034] 本発明の炭化珪素半導体素子を形成する工程において、炭化珪素層からカーボ

ン層を形成するため、上記不純物ドーパ層において、炭素、珪素および上記不純物ドーパ層のドーパントを除く元素の濃度は $1 \times 10^{14} \text{cm}^{-3}$ 以下に保たれる。従来において、保護膜としてダイヤモンドライクカーボン膜やフォトリソを用いた場合には、保護膜に含まれる不純物が炭化珪素層に拡散すると炭化珪素半導体素子の特性が劣化するおそれがあった。しかしながら、本発明では、炭化珪素層にもともと含まれる炭素を用いており、炭化珪素半導体素子の特性が劣化することはない。

[0035] なお、ダイヤモンドライクカーボン自体は炭素からなるが、プラズマCVD法による形成時に、SUSチャンバー内におけるクロム、ニッケル、鉄またはマンガンといった不純物がダイヤモンドライクカーボン内に混入するおそれがある。ダイヤモンドライクカーボンを保護膜として用いた場合には、この不純物が炭化珪素層内に侵入するおそれがある。

[0036] 一方、レジストは、炭素、水素および酸素からなる。レジストを保護膜として用いた場合には、これらの元素が炭化珪素層中に拡散するおそれがある。

[0037] 以上のことから、本発明の炭化珪素半導体素子では、従来と比較して、ダイヤモンドライクカーボンやレジストに含まれる不純物の濃度が低くなることになる。つまり、水素、酸素、クロム、ニッケル、マンガンおよび鉄の濃度が低くなる。

[0038] 本発明の炭化珪素半導体素子は、上記炭化珪素層の上に設けられたゲート絶縁膜と、上記ゲート絶縁膜の上に設けられたゲート電極と、上記炭化珪素層とオーミック接触する第1の電極とをさらに備えていてもよい。この場合には、ゲート絶縁膜の膜厚を従来よりも均一にできるので、ゲート耐圧を高くすることができる。

[0039] また、本発明の炭化珪素半導体素子は、上記炭化珪素層の下面上に設けられた炭化珪素基板と、上記炭化珪素基板の下面とオーミック接触する第2の電極とをさらに備えていてもよい。この場合には、例えば縦型MOSFETなど、縦方向に電流が流れる素子についての特性向上を実現できる。

[0040] また、本発明の炭化珪素半導体素子は、上記炭化珪素層とショットキー接触する第3の電極とをさらに備えていてもよい。この場合には、炭化珪素膜と第2の電極との間に形成されるショットキー障壁を良好に形成できるので、耐圧が向上した半導体素子を実現することができる。

発明の効果

- [0041] 以上のように、本発明の半導体素子の製造方法によれば、炭化珪素半導体膜が平坦な表面を維持したまま高い活性化率を実現する炭化珪素半導体素子を提供することができる。

図面の簡単な説明

- [0042] [図1]図1(a)～(d)は、本発明の第1の実施形態に係る半導体素子の製造方法において、イオン注入による不純物ドーパ層を形成する工程を示す断面図である。
- [図2]図2は、活性化アニール後の基板の2次イオン質量分析計(SIMS)による分析結果を示す図である。
- [図3]図3は、図1(b)～(d)に示す工程における基板温度、加熱炉内の圧力、およびガス供給量の経時変化を示すタイムチャート図である。
- [図4]図4は、図1(b)において形成されるカーボン層の厚みと基板温度との関係を示すグラフ図である。
- [図5]図5(a)～(c)は、本発明の第2の実施形態に係る炭化珪素MOSFETの製造方法を示す断面図である。
- [図6]図6(a)～(c)は、本発明の第2の実施形態に係る炭化珪素MOSFETの製造方法を示す断面図である。
- [図7]図7(a)～(d)は、本発明の実施形態に係るショットキーダイオードの製造方法を示す断面図である。
- [図8]図8(a)～(d)は、本発明の実施形態に係るMESFETの製造方法を示す断面図である。
- [図9]図9(a)～(d)は、炭化珪素からなるMOSFETを形成するための一般的な方法を示す断面図である。
- [図10]図10は、本発明の半導体素子の製造方法で使用するアニール炉の構造を示す断面図である。

符号の説明

- [0043] 1 炭化珪素基板
2 炭化珪素薄膜

3	不純物イオン
4	不純物イオン注入層
5, 25	カーボン層
6	不純物ドーブ層
21	炭化珪素基板
22	n型ドリフト層
23	第1の不純物イオン注入層
24	第2の不純物イオン注入層
26	p型ウェル領域
27	ソース用コンタクト領域
28	ゲート絶縁膜
29	ソース電極
30	ドレイン電極
31	ゲート電極
150	反応炉
151	基板
152	サセプタ
153	支持軸
154	コイル
155	アルゴンガス
156	水素ガス
157	酸素ガス
158	ガス供給系
159	ガス排気系
160	排気ガス用配管
161	圧力調整バルブ
162	断熱材

発明を実施するための最良の形態

[0044] (第1の実施形態)

本発明の第1の実施形態に係る半導体素子の製造方法の特徴は、イオン注入後の活性化アニール処理の前に減圧雰囲気アニールすることにより基板表面にカーボン層を形成し、引き続き圧力及び温度を上げて活性化アニールを行なうことにある。第1の実施形態に係る半導体素子及びその製造方法を、図面を用いて以下に説明する。

[0045] 図10は、本発明の半導体素子の製造方法で使用するアニール炉の構造を示す断面図である。同図に示すように、このアニール炉は、反応炉150と、基板151を固定するためのカーボン製のサセプタ152と、支持軸153と、試料を加熱するためのコイル154と、反応炉150にアルゴンガス155、水素ガス156及び酸素ガス157を供給するためのガス供給系158と、反応炉150内のガスを排気するためのガス排気系159と、排気ガス用配管160と、圧力調整バルブ161とを備えている。また、サセプタ152は断熱材162で周囲を覆われている。支持軸153により支えられたサセプタ152は、反応炉150の周りに巻かれたコイル154を用いた高周波誘導加熱により加熱される。

[0046] このアニール炉を用いて、イオン注入後の炭化珪素基板上にカーボン層を形成し、その後に活性化アニールを行なう半導体素子の製造方法について説明する。

[0047] 図1(a)～(d)は、第1の実施形態の半導体素子の製造方法を示す断面図である。

[0048] まず、図1(a)に示す工程で、[11-20](112バー0)方向に8度のオフ角度がついた直径50mmの炭化珪素基板1を準備する。ここで、炭化珪素基板1としては、例えばn型の4H-SiC基板を用いる。次に、CVD法によって、炭化珪素基板1の上に厚さ10 μ mの炭化珪素薄膜(炭化珪素膜)2をエピタキシャル成長させる。続いて、炭化珪素薄膜2にイオン注入装置によって不純物イオン3を注入する。これにより、不純物イオン注入層4が形成される(図1(b)参照)。ここで注入する不純物イオン3としては、例えばp型ドーパ層を形成するためのアルミニウムイオンを選択する。具体的には、アルミニウムイオンを7種類の加速電圧で多段注入する。この際には、加速電圧をそれぞれ1.0MeV、1.6MeV、2.4MeVとしてドーズ量 $3 \times 10^{14} \text{cm}^{-3}$ のイオンを、加速電圧をそれぞれ3.3MeV、4.4MeVとしてドーズ量 $7 \times 10^{14} \text{cm}^{-3}$ のイオンを、加

速電圧をそれぞれ5.6MeV、7.0MeVとしてドーズ量 $3 \times 10^{14} \text{ cm}^{-3}$ のイオンをそれぞれ注入する。イオン注入の際の基板温度は室温とする。これにより、平均のドーパント濃度が約 $5 \times 10^{18} \text{ cm}^{-3}$ で、厚みが $4 \mu\text{m}$ の不純物イオン注入層4が形成される。

[0049] 続いて、図1(b)に示す工程で、不純物イオン注入層4が形成された炭化珪素基板1をアニール炉のサセプタ152に設置してから、ガス排気系159によってチャンバー内の真空引きを行う。このときの真空度(チャンバー内の気圧)は約 10^{-4} Pa とする。チャンバー内を真空引きした状態で、誘導加熱用のコイルに20.0kHz、20kWの高周波電力を印加して、炭化珪素基板1を 1250°C まで加熱する。この状態で60分間アニールを行なう。このとき、炉内を低圧に保ちながら水素ガスを供給してもよい。この場合、水素が存在することにより珪素と炭素との結合を切りやすくできるので、珪素を選択的に昇華させやすくできる。

[0050] 図2は、活性化アニール後の基板の2次イオン質量分析計(SIMS)による分析結果を示す図である。同図に示すように、基板上部の組成分析の結果、厚みが約30nmのカーボン層5が基板表面、すなわち不純物イオン注入層4の上に形成されていることが明らかとなった。

[0051] 次に、図1(c)に示す工程で、表面にカーボン層5が形成された炭化珪素基板1を 1250°C で加熱したまま、ガス供給系158からアニール雰囲気用ガス(アニールガス)を供給する。アニールガスとしてはアルゴンガス155を選択し、ガス流量は0.5リットル/分とする。そして、圧力調整バルブ161を用いてチャンバー内の圧力を増加させ、91kPaで一定とする。その後、基板温度を 1750°C まで昇温し、この温度を保ったまま30分間活性化アニールを行なう。次に、アルゴンガス155を供給したまま、コイル154への高周波電力の印加を停止して加熱を終了し、基板151を冷却する。この活性化アニール処理により、不純物イオン注入層4中のアルミニウムイオンが活性化され、炭化珪素薄膜2中に不純物ドーパ層6が形成されることとなる。

[0052] 続いて、図1(d)に示す工程で、カーボン層5を除去するためにアニール炉のチャンバー内の基板温度を 800°C で一定とし、流量5リットル/分の酸素を供給して、30分間の加熱処理を行なう。この処理によって、基板表層のカーボン層5は完全に除去され、不純物ドーパ層6が露出する。

- [0053] 本工程の後、例えば不純物ドーパ層6の上に電極を形成する等の工程を経ることで、MOSFETなど種々の半導体素子を作製することができる。
- [0054] なお、図3は、図1(b)～(d)に示す工程における基板温度、加熱炉内の圧力、およびガス供給量の経時変化を示すタイムチャート図である。
- [0055] 同図に示すように、図1(b)に示すカーボン層5の形成工程では、加熱炉内の圧力を少なくとも大気圧を下回る値、好ましくは 10^{-5} Pa以上10Pa以下程度に保ち、基板温度を活性化アニール温度よりも低温の1100℃以上1400℃以下程度にする。図4は、図1(b)において形成されるカーボン層の厚みと基板温度との関係を示すグラフ図である。図4から、基板温度が1100℃以上1400℃以下の場合にカーボン層が形成されていることがわかる。これは、基板温度が1100℃より低ければ珪素(Si)の昇華が起こらず、1400℃よりも高ければ炭素(C)までも昇華してしまうためである。すなわち、SiはCよりも低温で昇華するので、このように温度範囲を限定することで、不純物イオン注入層4からSiが選択的に昇華し、Cのみが基板表面に残る。このため、カーボン層5が形成される。また、炉内の圧力を大気圧より小さくするのは、Siの昇華を促進するためである。ただし、炉内の圧力が 10^{-5} Paより低くなると加熱処理によってCまでも昇華されてしまい、10Paを越えると基板表面にステップが形成されてしまうので、上述の圧力範囲で処理することが好ましい。ただし、基板温度を上述の範囲に設定すれば、カーボン層5を形成すること自体は可能である。
- [0056] 続いて、図1(c)に示す活性化アニール工程では、アルゴンガスを供給することにより加熱炉の圧力を少なくともカーボン層5の形成工程よりも高い圧力、好ましくは1kPa以上100kPa以下に保ち、基板温度を1500℃以上2000℃以下程度とする。なお、不純物の活性化率は基板温度に概ね比例するので、炭化珪素の昇華速度が大きい範囲でカーボン層5の形成工程よりも基板温度を上げることにより、不純物ドーパ層6での活性化率は80%以上にすることができる。なお、本明細書中において、「活性化率」とは、不純物ドーパ層に含まれるキャリア濃度を、注入した不純物の濃度(密度)で除した値をいう。キャリア濃度は単位面積あたりの電流量から算出することができ、注入した不純物の濃度(密度)はSIMS等によって測定することができる。
- [0057] 次に、アルゴンガスの供給を停止した後、図1(d)に示す工程において基板温度を

500℃以上1000℃以下にした状態で、酸素ガスを供給する。本工程では、基板温度が500℃以上1000℃以下であれば酸素とカーボン層5とを効果的に反応させてカーボン層5を除去できるが、基板温度が800℃であれば炭化珪素の酸化反応を生じさせずにカーボン層5を除去できるので最も好ましい。また、酸素ガスに代えて酸素分子を含むガスを供給してもカーボン層を除去できる。

[0058] 次に、本願発明者らは、以上で説明した方法によって活性化アニールした基板の表面モフォロジーについて原子間力顕微鏡 (AFM) を用いて解析した。また、比較のために、本実施形態の方法と同一の条件で不純物イオンを注入した炭化珪素基板を従来技術のアルゴンガス雰囲気中で活性化アニールした炭化珪素基板を用意した。従来技術の活性化アニール条件は、基板温度1750℃、アルゴンガスの流量0.5リットル/分、アニール時の炉内の圧力は91kPaで一定とし、アニール時間は30分とした。従来の方法によって活性化アニールした基板の表面モフォロジーについてもAFMを用いて測定した。

[0059] 本実施形態の方法と従来技術による活性化アニールの結果の表面モフォロジーとを比較したところ、本実施形態の活性化アニール方法によれば、従来の方法に比べ基板表面の粗さを2桁以上低減できることが分かった。本実施形態の方法で処理した基板上面の表面粗さは約0.5nmであった。ここで、「表面粗さ」とは、ステップ高さと同じ意味である。さらに、本実施形態の方法で処理した基板におけるアルミニウムイオンの活性化率について調べたところ、約90%という非常に高い活性化率を実現していることが明らかとなった。

[0060] これらの結果は、本実施形態の方法によって平坦な表面を維持したまま高い活性化率を実現できることを示している。なお、従来の技術では、活性化アニールの温度を高くすれば活性化率は上がるもののマクロステップも大きくなるので、活性化率の向上とマクロステップの抑制とを両立することが困難であった。

[0061] また、本実施形態の方法によれば、活性化アニールを行なうための加熱炉内にレジスト等に含まれる不純物質が持ち込まれないので、不純物質による半導体素子の特性劣化を防ぐことができる。さらに、マクロステップの発生を抑制するためのカーボン層5を活性化アニールと同じ加熱炉で行なうことができるので、新たな装置を導入

する必要がなく、半導体素子を製造するための工程を簡略化することができる。また、カーボン層5の除去を活性化アニールと同じ加熱炉で行なうことも可能であるので、活性化アニールとカーボン層5の除去とを別々の装置で行なう場合に比べ、製造装置の数を減らすことができ、製造工程を大幅に簡略化することが可能となる。

[0062] なお、本実施形態で説明した方法においては、カーボン層の形成のためのアニールとイオン注入の活性化アニールを同一の炉内において連続で行ったが、それぞれの工程を別々の加熱炉で行っても本実施形態の方法と同様の効果が得られる。

[0063] また、本実施形態で説明した方法においては、イオン注入の活性化アニールとカーボン層の除去を同一の炉内において連続で行ったが、それぞれの工程を別々の加熱炉で行っても本実施形態の方法と同様の効果が得られる。

[0064] また、以上の実施の形態においては、熱酸化によってカーボン層を除去したが、酸素を用いたプラズマ処理やオゾン処理によってカーボン層を除去しても本実施形態の方法と同様の効果が得られる。

[0065] また、以上の実施の形態においては、4H-SiCを炭化珪素基板として用いたが、4H-SiC以外のポリタイプからなる炭化珪素基板を用いてもよい。

[0066] また、本実施形態で説明した例では、p型イオンを注入後にカーボン層を形成したが、これと同様の方法でn型イオンを注入した場合にもカーボン層を形成できる。

[0067] なお、上述の方法によって製造される炭化珪素半導体素子は、図1(d)に示すように、炭化珪素基板1と、炭化珪素基板1の主面上に設けられた厚さ10 μ mの炭化珪素薄膜2と、炭化珪素薄膜2内に設けられた厚さ4 μ mの不純物ドーブ層6とを備えている。不純物ドーブ層6には、例えば濃度が $5 \times 10^{18} \text{cm}^{-3}$ 程度のp型不純物(アルミニウムなど)が含まれている。ここでは図示していないが、炭化珪素半導体素子は、例えば不純物ドーブ層6上や炭化珪素基板1の裏面上に電極が設けられるなどしており、トランジスタやダイオードなどの半導体素子として動作する。

[0068] 本実施形態の炭化珪素半導体素子において、不純物ドーブ層6の上面には微小な段差(ステップ)が形成されているが、そのステップ高さは約0.1nm以上1nm以下である。

[0069] このため、縦型MOSFET等、不純物ドーブ層上にゲート絶縁膜が設けられる素子

の場合には、ゲート絶縁膜の厚みを均一にでき且つ、キャリアの移動がマクロステップによって妨げられないので、耐圧性を向上させると共に、高い電流密度の電流を流すことが可能となる。これについては後述する。さらに、不純物ドープ層6中のp型不純物の活性化率は、80%以上となっているので、活性化率が低い場合に比べて半導体素子としての特性を向上させることができる。

[0070] (第2の実施形態)

本発明の第2の実施形態として、炭化珪素半導体素子の一例である、不純物が導入された層の上面のステップ高さが1nm以下の炭化珪素MOSFET、及びその製造方法について、図を参照しながら説明する。

[0071] 図5(a)～(c)及び図6(a)～(c)は、本実施形態の炭化珪素MOSFETの製造方法を示す断面図である。

[0072] まず、図5(a)に示す工程で、炭化珪素基板21を準備する。炭化珪素基板21としては、例えば、主面が(0001)から[11-20](112バー0)方向に8度のオフ角度がついた直径50mmの4H-SiC基板を用いる。この基板はn型で、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

[0073] 次に、CVD法により炭化珪素基板21上にn型の不純物ドープ層をエピタキシャル成長させる。これによって、厚みが $10 \mu\text{m}$ 、キャリア濃度が約 $5 \times 10^{15} \text{ cm}^{-3}$ のMOSFETのn型ドリフト層22が炭化珪素基板21上に形成される。

[0074] 次に、図5(b)に示す工程で、第1の不純物イオン注入層23を形成するために、n型ドリフト層22の上面に、例えばシリコン酸化膜(SiO_2)からなる第1の注入マスク(図示せず)を形成する。この第1の注入マスクは、n型ドリフト層22の一部分を覆い、後に第1の不純物イオン注入層23となる領域を開口している。そして、第1の注入マスクの上方から、n型ドリフト層22内に多段階のAlイオンの注入を行う。ここで、Alイオンの注入条件は、第1の実施形態の方法と同じとする。

[0075] 続いて、第1の注入マスクを除去した後、一部分を開口するようにして SiO_2 からなる第2の注入マスク(図示せず)を基板上に形成する。次いで、第2の注入マスクの開口部を通して、窒素イオンを第1の不純物イオン注入層23に注入し、第1の不純物イオン注入層23内に第2の不純物イオン注入層24を形成する。

- [0076] 次に、図5(c)に示す工程で、基板(各層が設けられた炭化珪素基板21)をアニール炉のサセプタ152に設置して、チャンバー内をガス排気系で真空引きを行った状態で、基板を1250℃まで加熱した。そして、この状態で180分間アニールを行ない、厚さが約100nmのカーボン層25を形成する。
- [0077] 次に、図6(a)に示す工程で、基板の温度を1250℃で一定としたまま、アルゴンガスを0.5リットル/分の流量で供給して、チャンバー内の圧力を91kPaとする。その後、基板温度を1750℃まで昇温して、この温度を保ったまま30分間活性化アニールを行なう。これにより、第1の不純物イオン注入層23及び第2の不純物イオン注入層24に含まれる不純物が活性化され、それぞれp型ウェル領域26とn型のソース用コンタクト領域27とが形成される。p型ウェル領域26及びn型のソース用コンタクト領域27における不純物の活性化率は、それぞれ80%以上になる。
- [0078] 続いて、図6(b)に示す工程で、カーボン層25を除去するためにアニール炉のチャンバー内の基板温度を800℃で一定とし、流量5リットル/分の酸素を供給して、30分間の加熱処理を行なう。この処理によって、炭化珪素基板21の上方に設けられたカーボン層25は完全に除去される。これにより、p型ウェル領域26及びソース用コンタクト領域27とが露出される。なお、p型ウェル領域26に含まれるキャリアの濃度は $1 \times 10^{17} \text{ cm}^{-3}$ であり、ソース用コンタクト領域27に含まれるキャリアの濃度は $1 \times 10^{18} \text{ cm}^{-3}$ のn型のソース用コンタクト領域27が形成される。本工程の活性化アニール後のp型ウェル領域26及びソース用コンタクト領域27の上面に形成されたステップの高さは、0.1nm以上1nm以下であり、従来の方法を用いた場合に比べてステップ高さが1/10以下にまで小さくなっている。
- [0079] 次に、図6(c)に示す工程で、基板を1100℃で熱酸化することで基板表面に厚さ30nmのゲート絶縁膜28を形成する。その後、電子ビーム(EB)蒸着装置を用いてソース用コンタクト領域27の上面及び炭化珪素基板21の裏面にNiを蒸着する。続いて、加熱炉を用いて1000℃で加熱することにより、ソース用コンタクト領域27上には第1のオーミック電極となるソース電極29を、炭化珪素基板21の裏面上には第2のオーミック電極となるドレイン電極30をそれぞれ形成する。
- [0080] 次に、ゲート絶縁膜28上にアルミニウムを蒸着して、ゲート電極31の形成を行なう

ことにより、図6(c)に示すような構造のMOSFETが形成される。

- [0081] 以上のようにして作製されたMOSFETは、n型の炭化珪素基板21と、上記炭化珪素基板21の主面上に形成されたn型ドリフト層22と、上記n型ドリフト層22内に設けられたp型ウェル領域26と、上記p型ウェル領域26内に設けられたn型のソース用コンタクト領域27と、上記n型ドリフト層22及びp型ウェル領域26の上に設けられたゲート絶縁膜28と、上記ゲート絶縁膜28の上に設けられたゲート電極31と、上記ソース用コンタクト領域27の上に設けられたソース電極(オーミック電極)29と、上記炭化珪素基板21の裏面上に設けられたドレイン電極30とを備えている。そして、p型ウェル領域26及びソース用コンタクト領域27の上面に形成されたステップ高さは、0.1nm以上1nm以下となっており、n型ドリフト層22のうち、イオン注入された領域とイオン注入されていない領域とで、上面に形成されたステップ高さがほぼ均一になっている。
- [0082] 次に、本実施形態に係るMOSFETの性能を調べるために、電流電圧特性を測定した。その結果について以下に説明する。
- [0083] 比較のために、従来技術によって活性化アニールを行って作製したMOSFETを用意した。従来技術の活性化アニール条件は、基板温度1750℃、アルゴンガスの流量0.5リットル/分、アニール時の炉内の圧力は91kPaで一定とし、アニール時間は30分とした。なお、従来技術によって作製したMOSFETの素子構造は本実施形態のMOSFETと同じとした。
- [0084] 本実施形態のMOSFET及び従来のMOSFETの動作時のドレイン電流の値を測定して比較した結果、本実施形態のMOSFETでは、従来技術で形成したMOSFETに比べてドレイン電流が3倍以上大きいことが判明した。この理由としては、従来のMOSFETでは、ステップ高さ(表面の粗さ)が10nm以上であるためにp型ウェル領域26の表面近傍を流れるキャリアの移動度が低下し、ドレイン電流が流れにくくなっていることが考えられる。これに対し、本実施形態のMOSFETでは、p型ウェル領域26及びソース用コンタクト領域27のステップ高さが1nm以下であるので、キャリアの移動度が低下せず高い電流密度のドレイン電流が流れると考えられる。
- [0085] 以上のことから、イオン注入後の活性化アニール処理の前に減圧雰囲気アニー

ルすることにより基板表面にカーボン層を形成し、引き続き温度を上げて活性化アニールを行うことにより、平坦な表面を維持したまま高い活性化率を実現することが可能となり、表面粗さが1nm以下の炭化珪素MOSFETを作製できることが示された。

[0086] なお、本実施形態においては、MOSFETについて説明したが、炭化珪素薄膜とショットキー障壁を形成するゲート電極と、炭化珪素薄膜とオーミック接触するソース電極及びドレイン電極とをさらに設けたMESFETや、炭化珪素薄膜上に設けられたショットキー電極と炭化珪素基板の裏面上に設けられたオーミック電極とを備えたショットキーダイオード等に対しても上記と同様の効果が得られる。

[0087] また、以上の実施形態においては、反転型のMOSFETについて説明したが、蓄積型のMOSFETに対しても本実施形態のMOSFETと同様の効果が得られる。

[0088] 以上の説明では、MOSFETを例にとりて説明したが、イオン注入を用いて製造するMOSFET以外の炭化珪素半導体素子であっても、不純物ドーパ層の上面を従来よりも平坦にすることで、電気的特性を向上させることが可能である。

[0089] (その他の実施形態)

第2の実施形態で説明したMOSFET以外にも、ショットキーダイオードやMESFETなどはイオン注入を用いて製造されるので、本発明の製造方法を応用することができる。以下、これらの素子においてマクロステップのサイズを小さくする方法を説明する。

[0090] 図7(a)～(d)は、本発明の実施形態に係るショットキーダイオードの製造方法を示す断面図である。

[0091] まず、図7(a)に示す工程で、n型炭化珪素基板31上にCVD法により厚みが10 μ mでキャリア濃度が約 $5 \times 10^{15} \text{cm}^{-3}$ のn型のエピタキシャル成長層32を形成する。ここで、n型炭化珪素基板31に含まれるキャリアの濃度は、 $1 \times 10^{18} \text{cm}^{-3}$ である。

[0092] 次に、図7(b)に示す工程で、エピタキシャル成長層32の一部にAlイオンを注入しガードリング33aを形成する。

[0093] 次に、図7(c)に示す工程で、基板温度を1250℃にし、180分間保持する。これにより、基板上に厚さ100nmのカーボン層35を形成する。続いて、アニール工程と同じ加熱炉を用いて基板温度を1750℃まで上げてガードリング33a内の不純物を

活性化し、ガードリング33を形成する。

[0094] 続いて、図7(d)に示す工程で、n型炭化珪素基板31の裏面にニッケルを蒸着して1000℃で加熱することによりオーミック電極39を形成する。さらに、エピタキシャル成長層32の上面にTi(チタン)を蒸着してショットキー電極37を形成する。

[0095] 以上のようにして製造されるショットキーダイオードは、図7(d)に示すように、n型炭化珪素基板31と、n型炭化珪素基板31上に設けられたn型SiCからなるエピタキシャル成長層32と、エピタキシャル成長層32の上に設けられたTiからなるショットキー電極37と、エピタキシャル成長層32のうちショットキー電極37の両側下方に位置する領域に設けられ、p型不純物を含むガードリング33と、n型炭化珪素基板31の裏面上に設けられたNiからなるオーミック電極39とを備えている。

[0096] 図7(c)に示す工程で、不純物を活性化するためのアニール処理に先立ってカーボン層35を形成することで、本実施形態のショットキーダイオードでは、エピタキシャル成長層32の上面のステップ高さが0.1nm以上1nm以下程度に抑えられている。従って、本実施形態のショットキーダイオードでは、従来のショットキーダイオードに比べてショットキー電極37とエピタキシャル成長層32との界面での電界集中を抑制することができ、耐圧を向上させることができる。

[0097] 次に、本発明の方法を用いて製造したMESFETについても説明する。

[0098] 図8(a)～(d)は、本発明の実施形態に係るMESFETの製造方法を示す断面図である。

[0099] まず、図8(a)に示す工程で、CVD法により炭化珪素基板41上に厚みが10 μ mの炭化珪素からなるアンドープ層43を成長する。次いで、アンドープ層43の上に厚みが200nm、キャリア濃度が約 $5 \times 10^{17} \text{cm}^{-3}$ のn型炭化珪素からなるチャネル層45を成長する。

[0100] 次に、図8(b)に示す工程で、チャネル層45及びアンドープ層43の一部に窒素イオンを注入し、チャネル層45のうち不純物がドーピングされていない部分(図8(c)以降に示すチャネル層45)を挟むようにソース用コンタクト領域47a及びドレイン用コンタクト領域49aを形成する。

[0101] 次いで、図8(c)に示すように、基板を1250℃で180分間アニール処理して基板上

に厚さ100nmのカーボン層51を形成する。続いて、アニール工程と同じ加熱炉を用いて基板温度を1750℃まで上げて活性化アニールを行ない、ソース領域47及びドレイン領域49を形成する。

[0102] その後、図8(d)に示すように、ソース領域47及びドレイン領域49の上面にNiを蒸着してから1000℃で加熱することにより、ソース電極53及びドレイン電極55を形成する。さらに、チャンネル層45の上面にTiを蒸着してゲート電極を形成する。

[0103] 以上のようにして製造した本実施形態のMESFETは、炭化珪素基板41と、炭化珪素基板41上に設けられた厚さが10 μ mでアンドープのSiCからなるアンドープ層43と、アンドープ層43の上に設けられ、n型不純物を含むSiCからなるチャンネル層45と、チャンネル層45の上に設けられたゲート電極57と、アンドープ層43及びチャンネル層45のうちゲート電極57の両側下方に位置する領域に形成されたソース領域47及びドレイン領域49と、ソース領域47の上に設けられたソース電極53と、ドレイン領域49の上に設けられたドレイン電極55とを備えている。

[0104] 本実施形態のMESFETでは、ソース領域47、ドレイン領域49及びチャンネル層45の各上面のステップ高さが0.1nm以上1nm以下程度に抑えられている。従って、本実施形態のMESFETにおいては、従来のMESFETに比べてキャリアの乱れが抑制され、相互コンダクタンスが向上している。

産業上の利用可能性

[0105] 本発明の炭化珪素半導体素子は、プラズマディスプレイなど、高電圧下での動作が要求される機器などに好ましく用いられる。

請求の範囲

- [1] 炭化珪素層に不純物イオンを注入する工程(a)と、
上記炭化珪素層を加熱することで上記炭化珪素層の表面にカーボン層を形成する工程(b)と、
上記工程(b)の後、上記工程(b)よりも高温雰囲気中で上記炭化珪素層を活性化アニール処理する工程(c)と
を含んでいる炭化珪素半導体素子の製造方法。
- [2] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)では、大気圧を下回る圧力条件下で上記カーボン層を形成し、
上記工程(c)では、上記工程(b)よりも高い圧力条件下で活性化アニール処理を行なう、炭化珪素半導体素子の製造方法。
- [3] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)と上記工程(c)とを、同一の加熱炉内で行なう、炭化珪素半導体素子の製造方法。
- [4] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)では、水素を含むガスの存在下で上記カーボン層を形成する、炭化珪素半導体素子の製造方法。
- [5] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)では、 1×10^{-5} Pa以上10Pa以下の圧力条件下で上記カーボン層を形成する、炭化珪素半導体素子の製造方法。
- [6] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)では、上記炭化珪素層の温度が1100℃以上1400℃以下である、炭化珪素半導体素子の製造方法。
- [7] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(c)では、1kPa以上100kPa以下の圧力条件下、上記炭化珪素層の温度を1500℃以上2000℃以下として活性化アニール処理を行なう、炭化珪素半導体素子の製造方法。
- [8] 請求項1に記載の炭化珪素半導体素子の製造方法において、

上記工程(c)の後、酸素原子を含む気体の存在下で上記炭化珪素層を加熱し、上記カーボン層を除去する工程(d)をさらに含んでいる、炭化珪素半導体素子の製造方法。

- [9] 請求項8に記載の炭化珪素半導体素子の製造方法において、
上記工程(d)では、上記炭化珪素層の温度が500℃以上1000℃以下である、炭化珪素半導体素子の製造方法。
- [10] 請求項8に記載の炭化珪素半導体素子の製造方法において、
上記工程(d)でのカーボン層の除去は、上記工程(c)での活性化アニール処理と同一の加熱炉内で行なう、炭化珪素半導体素子の製造方法。
- [11] 炭化珪素層と、上記炭化珪素層の一部に形成された不純物ドーパ層と、上記炭化珪素層上に設けられた電極とを有し、
上記炭化珪素層のうち上記不純物ドーパ層と上記不純物ドーパ層を除く領域とは、上面のステップ高さが実質的に同一である炭化珪素半導体素子。
- [12] 請求項11に記載の炭化珪素半導体素子において、
上記炭化珪素層の上記上面におけるステップ高さが0.1nm以上1nm以下である、炭化珪素半導体素子。
- [13] 請求項11に記載の炭化珪素半導体素子において、
上記不純物ドーパ層において、炭素、珪素および上記不純物ドーパ層のドーパントを除く元素の濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 以下である、炭化珪素半導体素子。
- [14] 請求項13に記載の炭化珪素半導体素子において、
上記元素は、水素、酸素、クロム、ニッケル、マンガンおよび鉄である、炭化珪素半導体素子。
- [15] 請求項11に記載の炭化珪素半導体素子において、
上記炭化珪素層の上に設けられたゲート絶縁膜と、
上記ゲート絶縁膜の上に設けられたゲート電極と、
上記炭化珪素層とオーミック接触する第1の電極とをさらに備える、炭化珪素半導体素子。
- [16] 請求項15に記載の炭化珪素半導体素子において、

上記炭化珪素層の下面上に設けられた炭化珪素基板と、
上記炭化珪素基板の下面とオーミック接触する第2の電極をさらに備えている、炭化珪素半導体素子。

- [17] 請求項11に記載の炭化珪素半導体素子において、
上記炭化珪素層とショットキー接触する第3の電極をさらに備える、炭化珪素半導体素子。

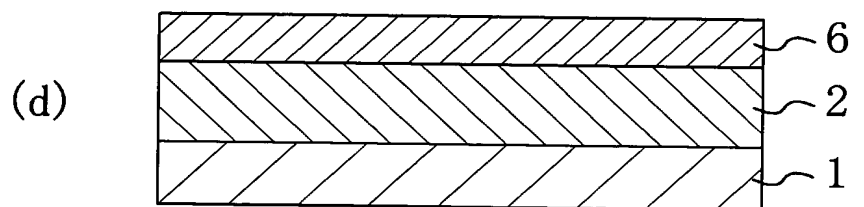
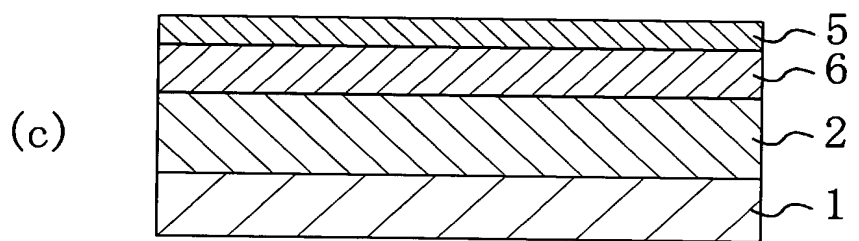
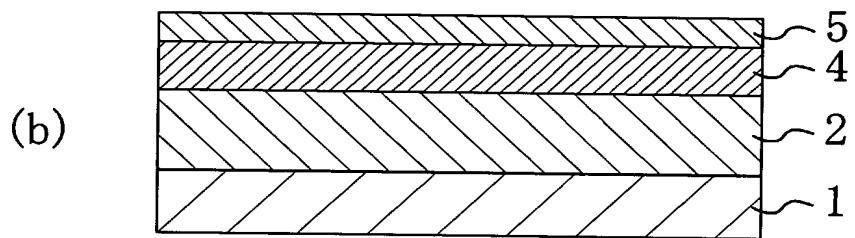
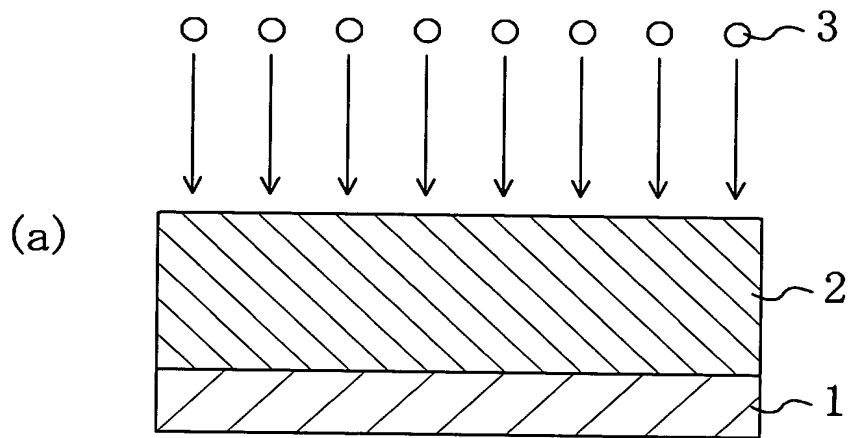
補正書の請求の範囲

[2005年6月10日(10.06.05)国際事務局受理：出願当初の請求の範囲
1は補正された；出願当初の請求の範囲2は取り下げられた。

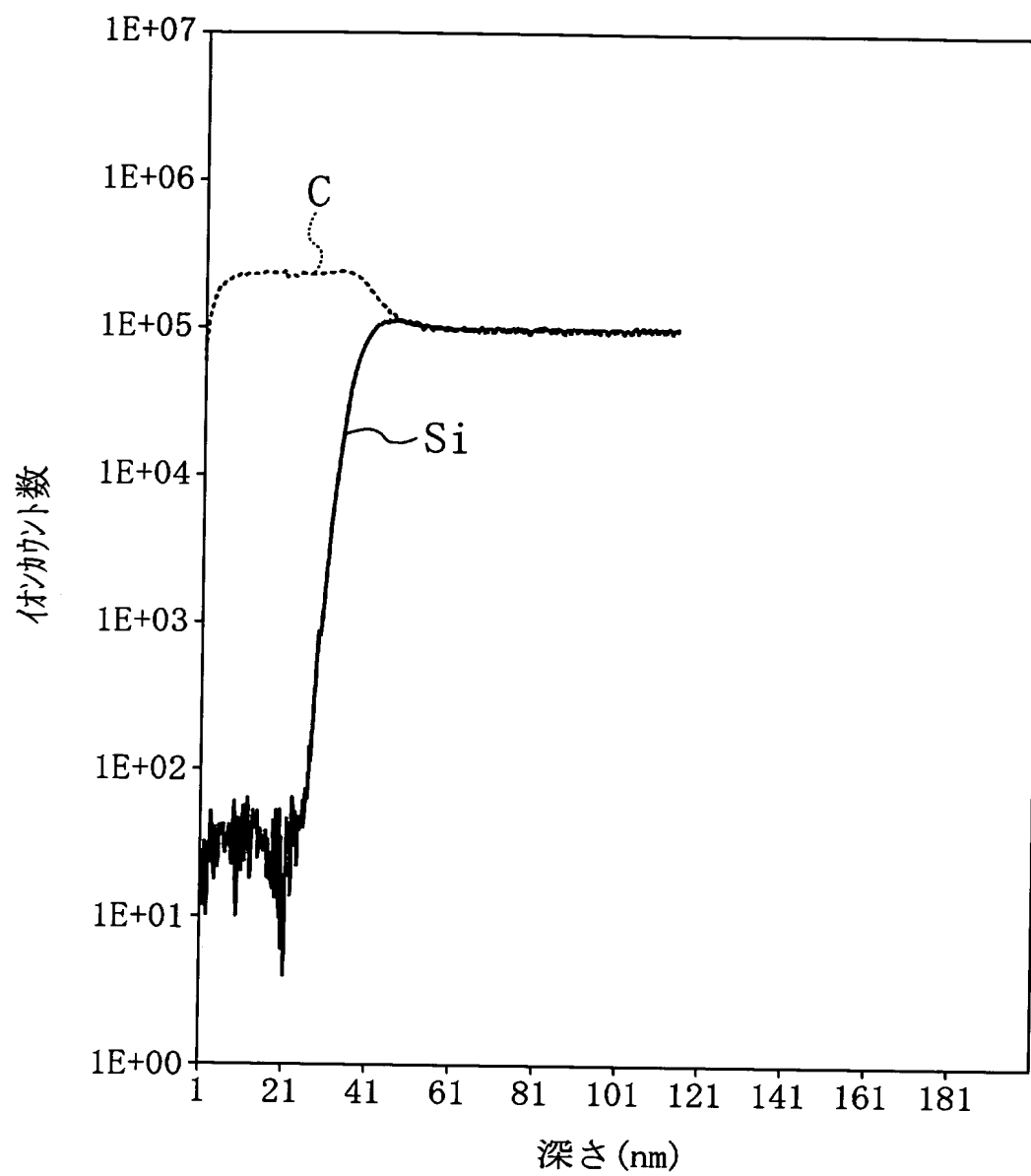
他の請求の範囲は変更なし。(1頁)]

- [1] (補正後)
- 炭化珪素層に不純物イオンを注入する工程(a)と、
大気圧を下回る圧力条件下で上記炭化珪素層を加熱することで上記炭化珪素層の表面にカーボン層を形成する工程(b)と、
上記工程(b)の後、上記工程(b)よりも高温雰囲気中で、かつ上記工程(b)よりも高い圧力条件下で上記炭化珪素層を活性化アニール処理する工程(c)と
を含んでいる炭化珪素半導体素子の製造方法。
- [2] (削除)
- [3] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)と上記工程(c)とを、同一の加熱炉内で行なう、炭化珪素半導体素子の製造方法。
- [4] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)では、水素を含むガスの存在下で上記カーボン層を形成する、炭化珪素半導体素子の製造方法。
- [5] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)では、 1×10^{-5} Pa以上10Pa以下の圧力条件下で上記カーボン層を形成する、炭化珪素半導体素子の製造方法。
- [6] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(b)では、上記炭化珪素層の温度が1100℃以上1400℃以下である、炭化珪素半導体素子の製造方法。
- [7] 請求項1に記載の炭化珪素半導体素子の製造方法において、
上記工程(c)では、1kPa以上100kPa以下の圧力条件下、上記炭化珪素層の温度を1500℃以上2000℃以下として活性化アニール処理を行なう、炭化珪素半導体素子の製造方法。
- [8] 請求項1に記載の炭化珪素半導体素子の製造方法において、

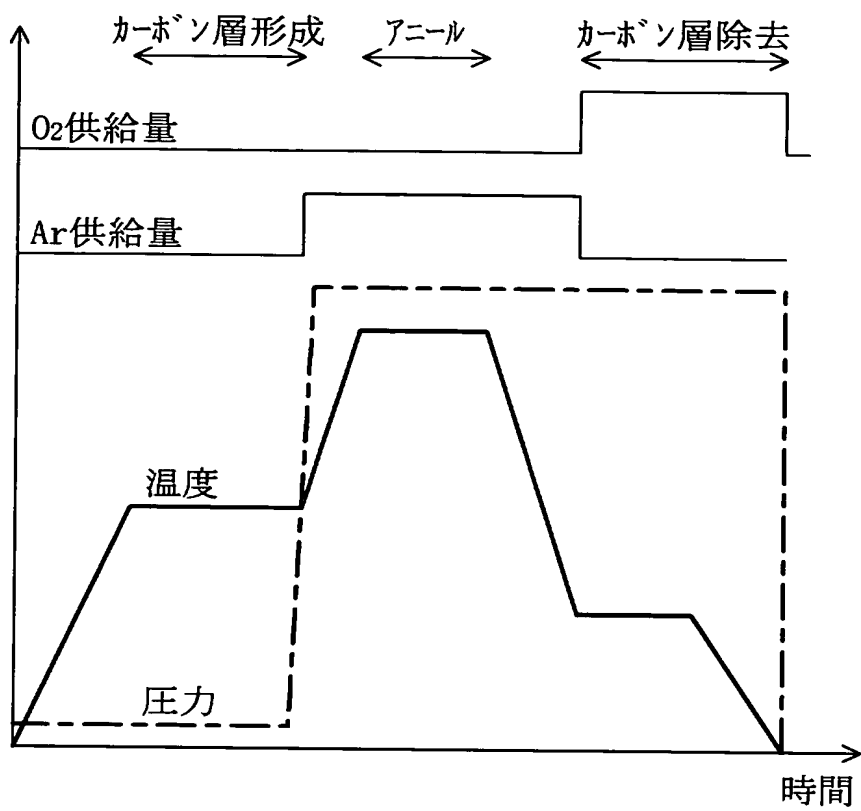
[図1]



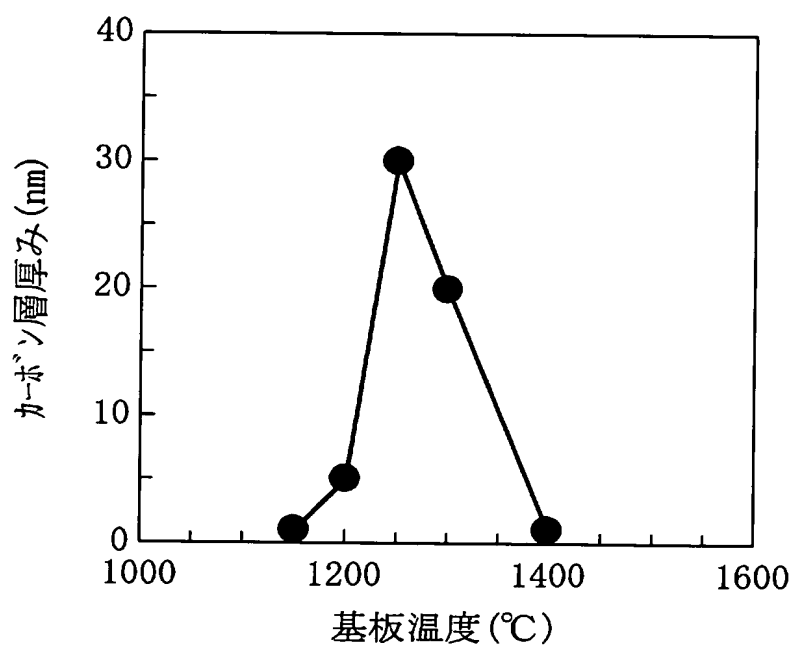
[図2]



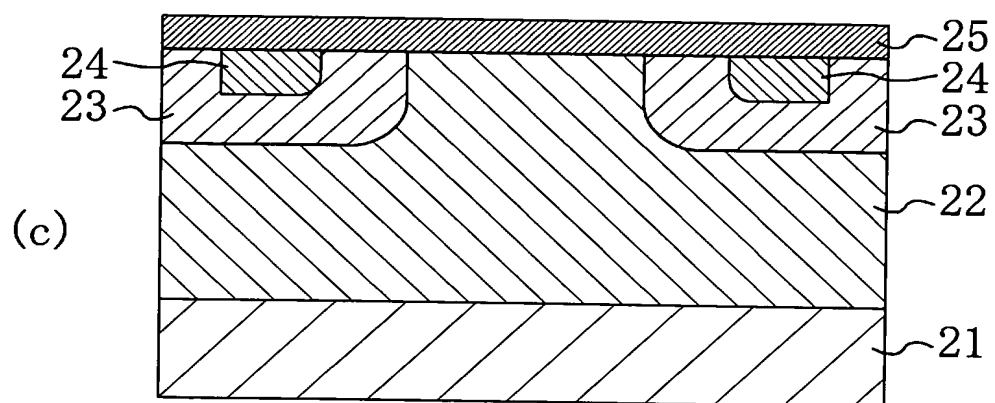
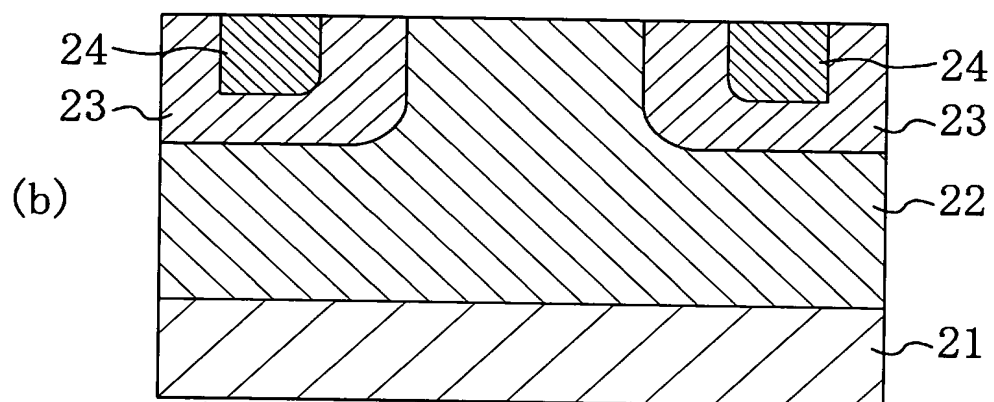
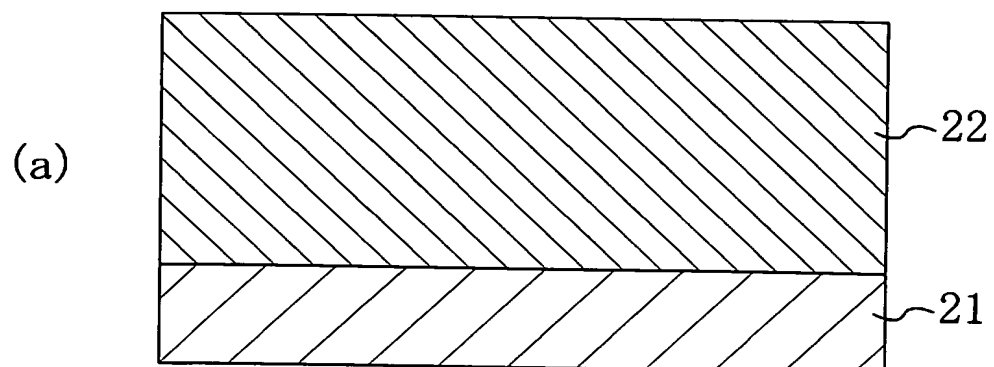
[図3]



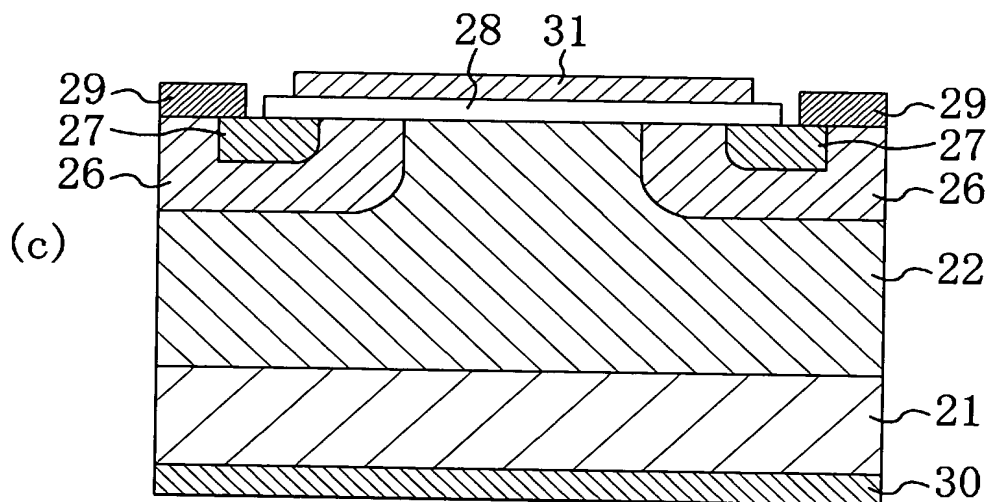
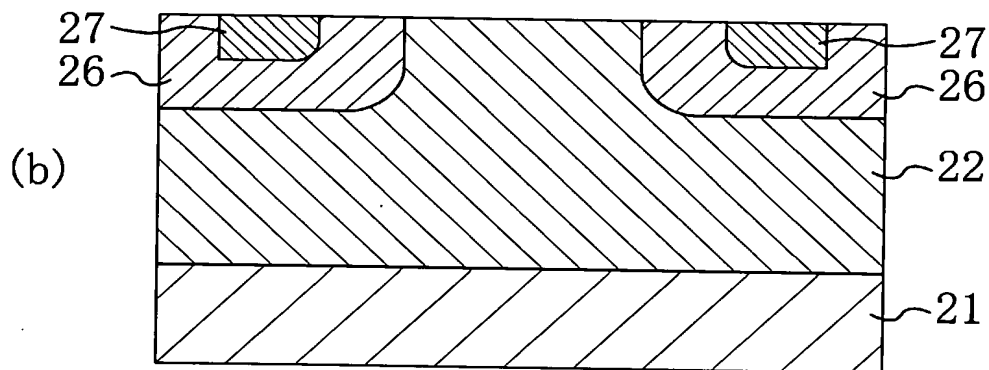
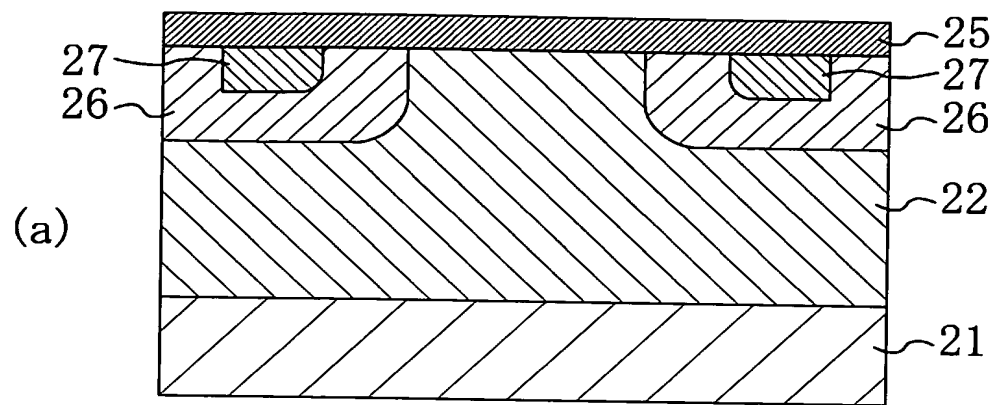
[図4]



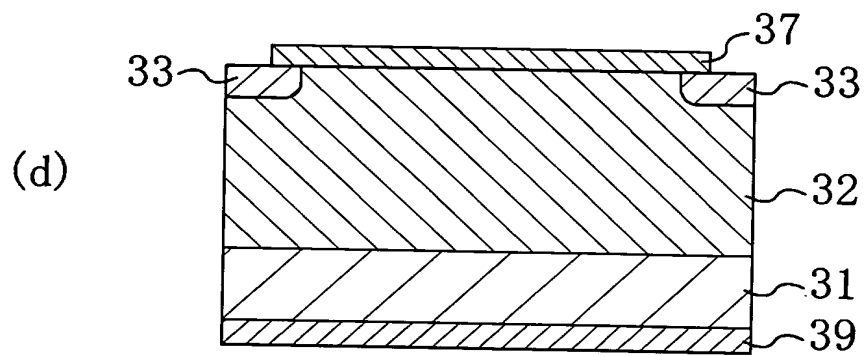
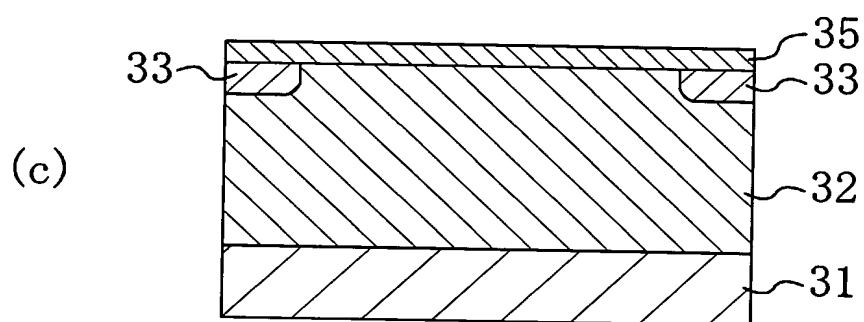
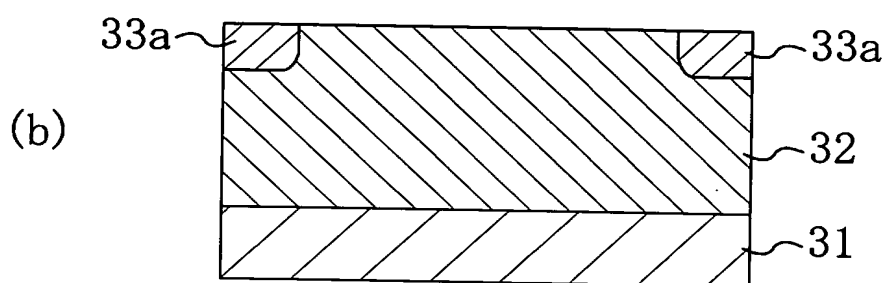
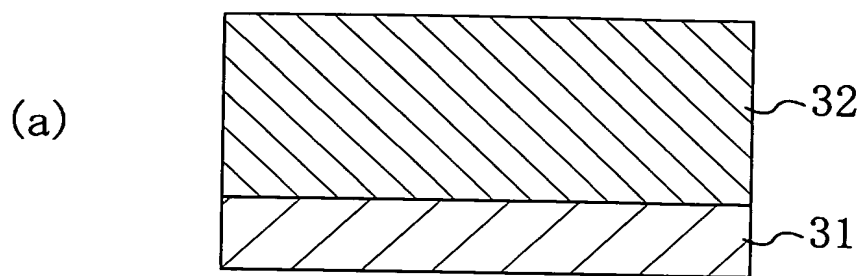
[図5]



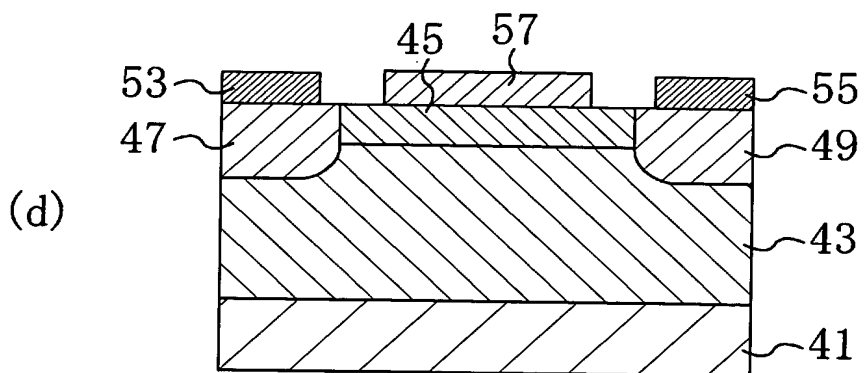
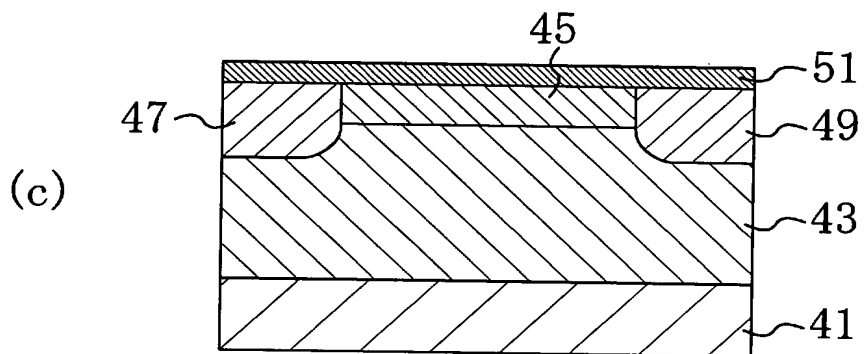
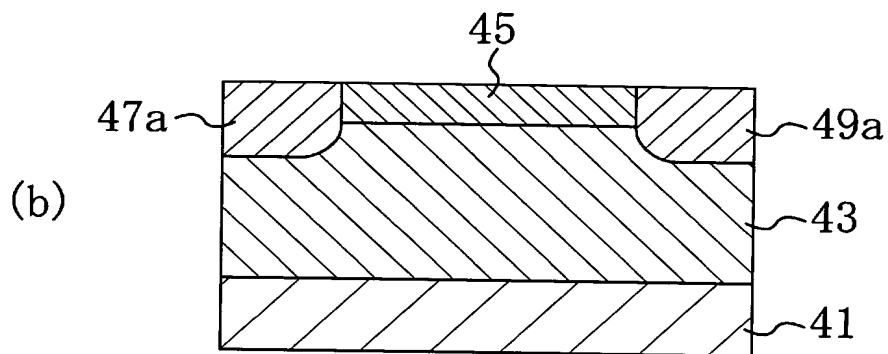
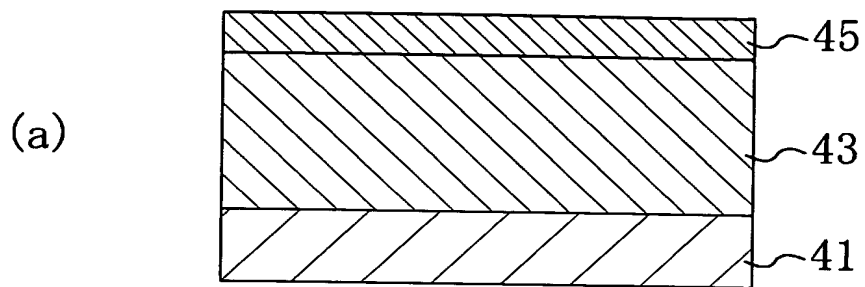
[図6]



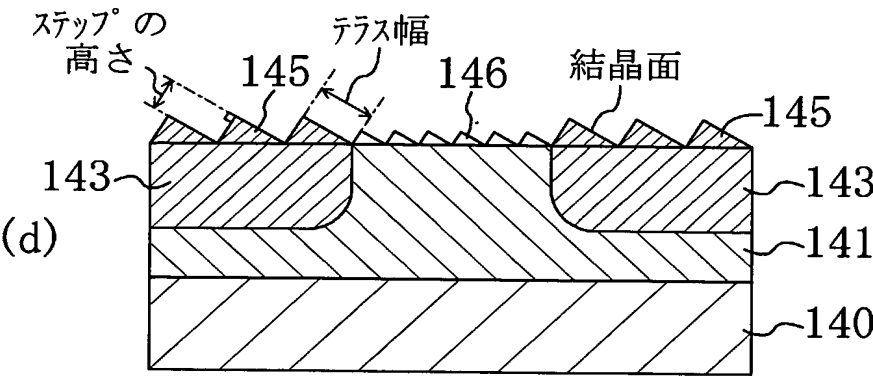
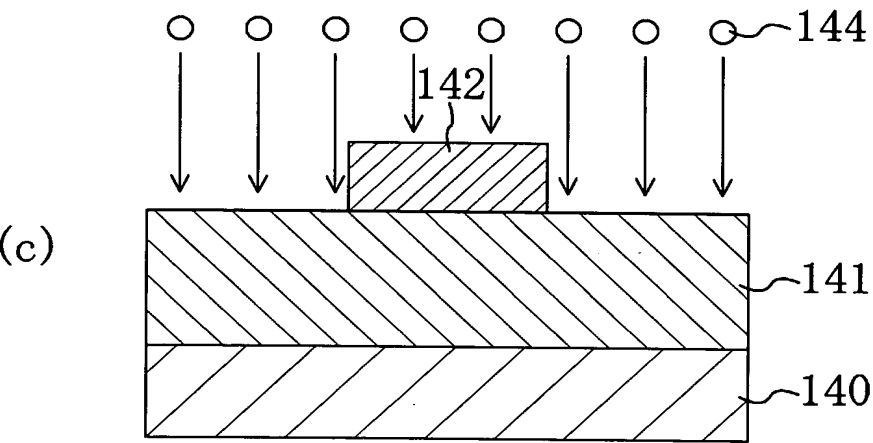
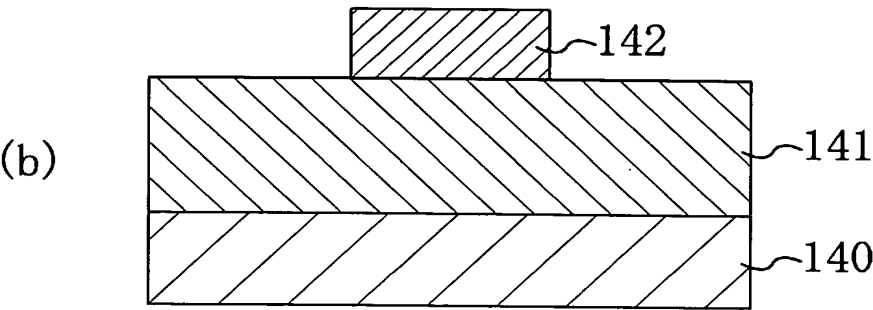
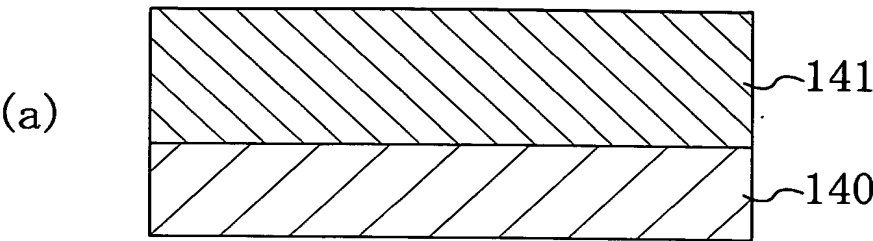
[図7]



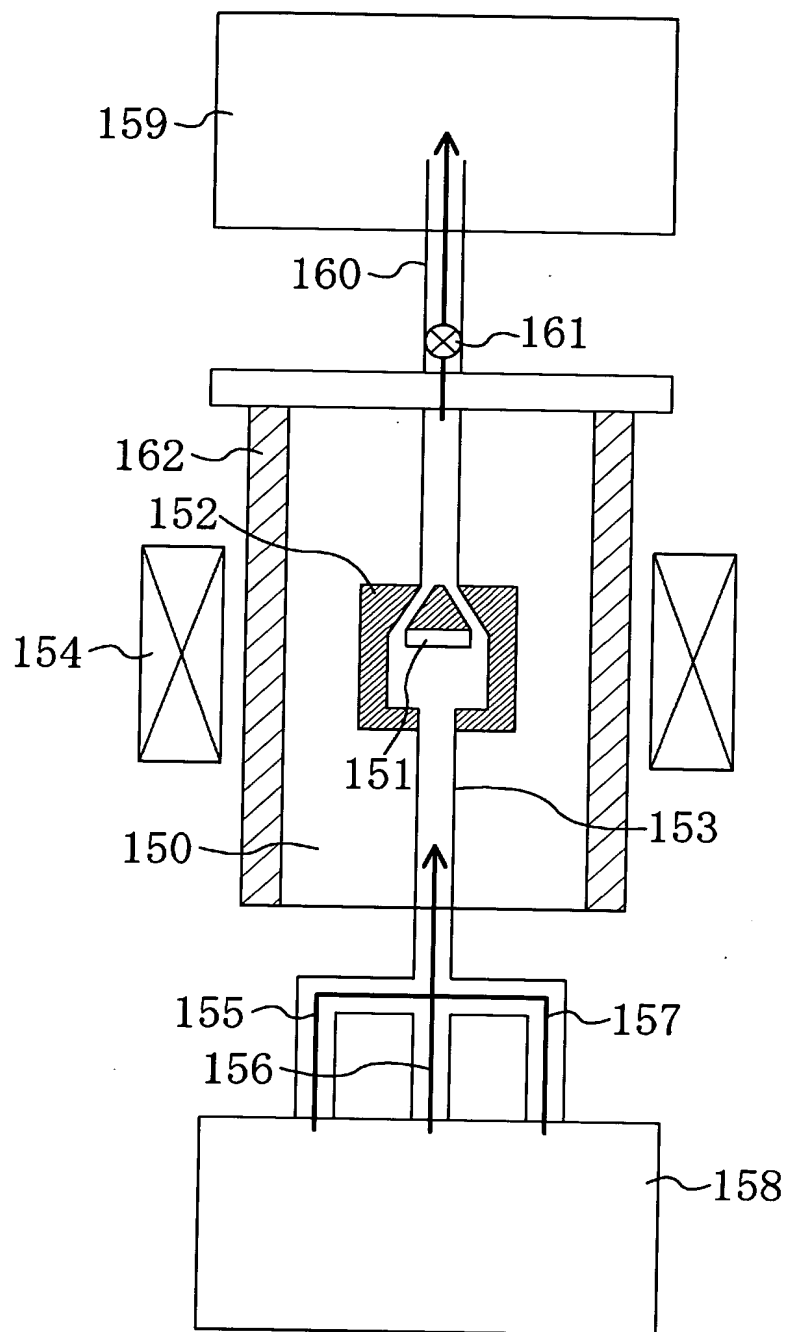
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001240

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/265, 21/28, 21/336, 21/338, 29/78, 29/812

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/265, 21/28, 21/336, 21/338, 29/78, 29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-184714 A (Denso Corp.), 28 June, 2002 (28.06.02), Full text (Family: none)	1
A	JP 2001-068428 A (Fuji Electric Co., Ltd.), 16 March, 2001 (16.03.01), Claims; Par. Nos. [0013], [0038] (Family: none)	1
A	JP 2002-289551 A (Denso Corp.), 04 October, 2002 (04.10.02), Full text (Family: none)	1

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 April, 2005 (18.04.05)

Date of mailing of the international search report
10 May, 2005 (10.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001240

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-016013 A (Nissan Motor Co., Ltd.), 18 January, 2002 (18.01.02), Claims; Par. Nos. [0008], [0013] (Family: none)	1
A	JP 2002-314071 A (Denso Corp.), 25 October, 2002 (25.10.02), Claims 1, 10; Par. No. [0025] (Family: none)	1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001240

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

First, the unity of invention regarding claims 1-17 will be studied. It appears that the group of inventions claimed in claims 1-10 relate to forming of a carbon layer on a surface of silicon carbide layer followed by activation annealing, and that the group of inventions claimed in claims 11-17 relate to substantial identity of upper surface step heights between an impurity-doped layer and a region exclusive of the impurity-doped layer in the silicon carbide layer. However, among these two invention groups, there is no technical relationship involving one or more of the same or corresponding special technical features. Consequently, it does not appear that these two invention groups are (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim No.: 1

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001240

Continuation of Box No. III of continuation of first sheet (2)

so linked with each other as to form a single general inventive concept.

Incidentally, in the invention of claim 1, features including "forming of an impurity-doped layer at part of the silicon carbide layer", "upper surface of silicon carbide layer having a step (being a silicon carbide layer having giving plane direction and off angle)" and "electrode on the silicon carbide layer" among the matters constituting the invention of claim 11 are not taken into consideration. Consequently, it does not appear that the invention of claims 1-10 is directed to one process specifically applied to production of a product according to the invention of claims 11-17.

Now, the unity of inventions of claims 1-10 will be studied. The matter common to the inventions of claims 1, 2, 3, 4, 5, 6, 7 and 8-10 is "a process for producing a silicon carbide semiconductor device, comprising the step (a) of injecting impurity ions into a silicon carbide layer; the step (b) of heating the silicon carbide layer to thereby form a carbon layer on a surface of the silicon carbide layer; and the step (c) of after the step (b), subjecting the silicon carbide layer to activation annealing in an atmosphere of temperature higher than in the step (b)". However, search has revealed that this common matter is not novel as it is disclosed in the document (1): JP 2002-184714 A (Denso Corp.) 28 June, 2002 (28.06.02), full text, (Family: none). (The step (b) and step (c) of the inventions of this application respectively correspond to heating to about 1420°C and heating over 1420°C of the invention of the document (1). Incidentally, although formation of a carbon layer is not explicitly described in the document (1), it appears that since the same process as in the inventions of this application is carried out in the document (1), the same formation of a carbon layer on a surface of silicon carbide layer as in the step (b) of the inventions of this application would occur in the step of heating to about 1420°C according to the invention of the document (1).) Consequently, this common matter falls within the category of prior art, so that it is not a special technical feature within the meaning of PCT Rule 13.2, second sentence. Thus, there is no feature common to all the inventions of claims 1, 2, 3, 4, 5, 6, 7 and 8-10. Since there exists no other common matter which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be found among the different inventions.

Further, the unity of inventions of claims 11-17 will be studied. The matter common to the inventions of claims 11, 12, 13-14, 15-16 and 17 is "a silicon carbide semiconductor device comprising a silicon carbide layer, an impurity-doped layer provided at part of the silicon carbide layer and an electrode provided on the silicon carbide layer, wherein in the silicon carbide layer, the impurity-doped layer and region exclusive of the impurity-doped layer have substantially identical upper surface step heights". However, it has been revealed that this common matter "silicon carbide semiconductor device wherein the upper surface step heights are substantially identical" is not novel as it is disclosed in the document (2) cited as prior art on page 3 of the description of this application: JP 2001-068428 A and the document (3) identified as a result of search: JP 2002-289551 A. Consequently, this common matter falls within the category of prior art, so that it is not a special technical feature within the meaning of PCT Rule 13.2, second sentence. Thus, there is no feature common to all the inventions of claims 11, 12, 13-14, 15-16 and 17. (continued to next sheet)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001240

Since there exists no other common matter which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 can be found among the different inventions.

Therefore, it is apparent that the inventions of claims 1-17 do not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/265, 21/28, 21/336, 21/338, 29/78, 29/812

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/265, 21/28, 21/336, 21/338, 29/78, 29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-184714 A (株式会社デンソー) 2002.06.28, 全文 (ファミリーなし)	1
A	JP 2001-068428 A (富士電機株式会社) 2001.03.16, 特許請求の範囲、【0013】、【0038】 (ファミリーなし)	1
A	JP 2002-289551 A (株式会社デンソー) 2002.10.04, 全文 (ファミリーなし)	1

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

18.04.2005

国際調査報告の発送日

10.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 浩一

4M

8617

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-016013 A (日産自動車株式会社) 2002.01.18, 特許請求の範囲、【0008】、【0013】 (ファミリーなし)	1
A	JP 2002-31407.1 A (株式会社デンソー) 2002.10.25, 請求項1、請求項10、【0025】 (ファミリーなし)	1

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

最初に、請求の範囲1-17の単一性について検討する。そうすると、請求の範囲1-10に記載された一群の発明は、炭化珪素層の表面にカーボン層を形成した後に活性化アニールすることに関し、請求の範囲11-17に記載された一群の発明は、炭化珪素層のうち不純物ドープ層と上記不純物ドープ層を除く領域とで上面のステップ高さが実質的に同一であることに關するものであると認められる。しかしながら、両者は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

特別ページに続く

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

第 III 欄の続き

なお、請求の範囲 1 に記載された発明は、請求の範囲 1 1 に記載された発明を構成する事項のうち、「炭化珪素層の一部に不純物ドーブ層を形成すること」、「炭化珪素層の上面がステップを有すること（所定の面方位、オフ角を有する炭化珪素層であること）」、「炭化珪素層上の電極」等の要件を考慮していないから、請求の範囲 1-10 に記載された発明が、請求の範囲 1 1-1 7 に記載された発明に係る生産物の製造のために特に適用した一の方法についての発明であるとも認められない。

次に、請求の範囲 1-10 に記載された各発明の単一性について検討する。請求の範囲 1、2、3、4、5、6、7、8-10 に係る発明に共通の事項は、「炭化珪素層に不純物イオンを注入する工程（a）と、上記炭化珪素層を加熱することで上記炭化珪素層の表面にカーボン層を形成する工程（b）と、上記工程（b）の後、上記工程（b）よりも高温雰囲気中で上記炭化珪素層を活性化アニール処理する工程（c）と、を含む炭化珪素半導体素子の製造方法」である。しかしながら、調査の結果、この共通の事項は、文献 1：JP 2002-184714 A（株式会社デンソー）2002.06.28、全文（ファミリーなし）に開示されているから、新規でないことが明らかとなった。（本件発明の工程（b）、工程（c）は、それぞれ文献 1 に記載された発明の 1420℃程度までの加熱、1420℃を越えての加熱に相当する。なお、文献 1 にはカーボン層が形成されるとは明示されていないが、本件発明と同様の工程が文献 1 においても行われているのであるから、文献 1 に記載された発明における 1420℃程度までの加熱工程においても本件発明における工程（b）と同様に炭化珪素層の表面にカーボン層が形成されるものと認められる。）結果として、上記共通の事項は、先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味において、この共通の事項は特別な技術的特徴ではない。それ故、請求の範囲 1、2、3、4、5、6、7、8-10 に係る各発明の全てに共通の事項はない。また、PCT 規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、これらの相違する発明の間に PCT 規則 13 の意味における技術的な関連を見いだすことはできない。

更に、請求の範囲 1 1-1 7 に記載された各発明の単一性について検討する。請求の範囲 1 1、1 2、1 3-1 4、1 5-1 6、1 7 に係る発明に共通の事項は、「炭化珪素層と、上記炭化珪素層の一部に形成された不純物ドーブ層と、上記炭化珪素層上に設けられた電極とを有し、上記炭化珪素層のうち上記不純物ドーブ層と上記不純物ドーブ層を除く領域とでは、上面ステップ高さが実質的に同一である炭化珪素半導体素子」である。しかしながら、本件明細書の第 3 頁に先行技術として記載されている文献 2：JP 2001-068428 A 及び調査の結果得られた、文献 3：JP 2002-289551 A には、この共通の事項（上面ステップ高さが実質的に同一である炭化珪素半導体素子）が開示されているから、新規でないことが明らかとなった。結果として、上記共通の事項は、先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味において、この共通の事項は特別な技術的特徴ではない。それ故、請求の範囲 1 1、1 2、1 3-1 4、1 5-1 6、1 7 に係る各発明の全てに共通の事項はない。また、PCT 規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、これらの相違する発明の間に PCT 規則 13 の意味における技術的な関連を見いだすことはできない。

よって、請求の範囲 1-1 7 に係る発明は、発明の単一性の要件を満たしていないことが明らかである。